

(English Translation of Cited Reference 2)

1. The Bibliographical Data

- 1) Filing Date/No. 1991. 6. 25/91-10538
- 2) Laid-Open Date/No. 1993. 1. 16/93-1451
- 3) Applicant Electronics and Telecommunications Research Institute
- 4) Inventor Kim Dong-Goo et al.

2. The Title of Invention

A method of manufacturing a large-size thin film transistor (TFT) liquid crystal display panel (LCD panel)

3. Claim 1

A method of manufacturing a large-size TFT liquid crystal display panel comprising the steps of:

manufacturing a plurality of unit TFT panels on a holding base (33) made of a polyimide; and,

electrically connecting and joining a drain bus line with a gate bus line by means of an ink jet method, both bus lines being disposed on a peripheral portion of the unit TFT panels which are aligned in a matrix and fixed on a glass substrate (17).

4. Brief Explanations for the Drawings

Fig. 2 is a cross sectional view showing a manufacturing process of a thin film transistor for a liquid crystal display panel in accordance with the present invention.

Fig. 3 is a schematic block diagram consisting of four unit TFT panels in accordance with the present invention.

Fig. 4 shows a connection for the gate wiring in accordance with the present invention.

Fig. 5 shows a connection for the drain wiring in accordance

THIS PAGE BLANK (USPTO)

⑤Int. Cl.
H 01 L 27/15

대한민국특허청 (KR)
공개특허공보 (A)
LAYING-OPEN PUBLICATION

재 984 호

⑬공개일자 서기 1993. 1. 16

⑪공개번호 93- 1451

⑭출원일자 서기 1991. 6. 25

⑫출원번호 91-10538

심사청구 : 있음

⑯발 명 자 김 동 구 대전직할시 유성구 도룡동 383-3 우성아파트 101동 301호
박 경 룡 대전직할시 대덕구 증리동 440-8
박 신 중 대전직할시 중구 오류동 삼성아파트 11동 12층 5호
박 철 순 대전직할시 유성구 도룡동 383-3 우성아파트 102동 203호
박 형 무 대전직할시 서구 도마2동 211 경남아파트 108동 601호

⑰출 원 인 재단법인 한국전자통신연구소 소장 경 상 현
대전직할시 유성구 가정동 161번지

⑱대리인 변리사 김 영 길

(전 4 면)

②대형 박막 트랜지스터 (TFT) 액정 디스플레이 패널 (LCD panel)의 제조방법

⑦특허청구의 범위

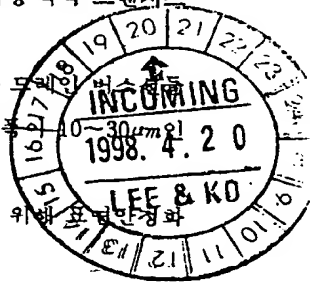
1. 폴리이미드 지지대 (33) 상에 단위 박막 트랜지스터 패널을 제조하는 공정과, 유리기관 (17) 상에 단위 박막 트랜지스터 패널들을 행렬로 정렬 고정한후 집합되는 상기 단위 박막 트랜지스터 패널들의 가장자리 부분의 드레인 버스선들과 게이트 버스선들 끼리를 잉크젯 (ink jet) 방법에 의해 전기적 연결을 하여 집합시키는 공정을 포함하는 것을 특징으로 하는 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

2. 제1항에 있어서, 단위 박막 트랜지스터 패널을 제조하는 공정은 폴리이미드 기관 (1) 상에 3층 (2, 3, 4)의 게이트 금속을 증착한 후 게이트 전극 및 게이트 버스선을 형성하는 제1공정과, 게이트 절연층 (6)을 증착하는 제2공정과, 반도체층 (7)을 형성하는 제3공정과, 상기 반도체층 (7)의 손상을 방지하기 위해 에칭스토퍼 (etching stopper)를 형성하는 제4공정과, 채널층 (7a)을 형성하는 제5공정과, 소오스와 드레인의 오오믹접촉 (ohmic contact)을 위하여 n'층을 증착한 후 상기 소오스와 드레인 사이를 식각하는 제6공정과, 투명전극 (ITO)을 형성하는 제7공정과, 소오스 전극과 드레인 전극을 형성하는 제8공정과, 박막 트랜지스터의 드레인 전극을 형성하는 제9공정과, PECVD방법으로 표면 안정화막 (31)을 형성하는 제10공정으로 구성됨을 특징으로 하는 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

3. 제1항에 있어서, 단위 박막 트랜지스터 패널들을 대형 박막 트랜지스터 액정 디스플레이 패널으로 집합시키는 공정은 유리기관 (7) 상에 상기 단위 박막 트랜지스터 패널들을 정렬한 후 에폭시 (epoxy)로 고정하고 잉크젯 방법으로 마스크 없이 폴리이미드를 선폭 10~50 μ m로 채움으로써 평탄화시키는 것이 특징인 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

4. 제1항에 있어서, 행렬방향으로 배열된 단위 박막 트랜지스터 패널들의 게이트 버스선들과 드레인 버스선들 사이를 잉크젯 방법에 의해 전기적으로 연결하는 공정은 배선물질로 구리 (Cu)를 사용하고 배선폭 10~30 μ m인 것이 특징인 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

5. 제1항에 있어서, 상기 연결된 드레인 버스선들과 게이트 버스선들의 신뢰성을 향상시키기 위해 표면처리하는 것이 특징인 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.



막(29)은 폴리이미드를 사용하고 배선폭이 20~60 μ m인 것을 특징으로 하는 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

6. 제2항에 있어서, 3층의 게이트 금속은 제1크롬박막(2)과 구리박막(3) 및 제2크롬박막(4)으로 구성되되, 상기 제1크롬박막(2)의 두께는 100~200Å이고, 상기 구리박막(3)의 두께는 1000~2000Å이고, 상기 제2크롬박막(4)의 두께는 100~200Å인 것을 특징으로 하는 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

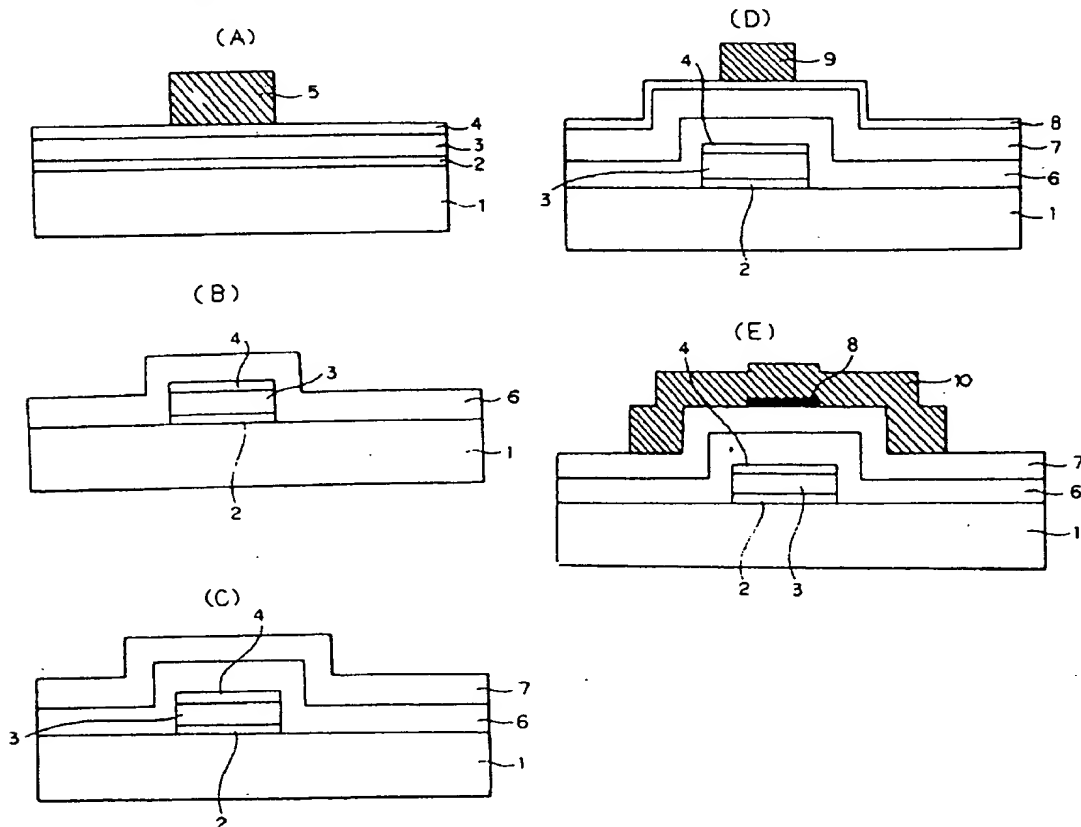
7. 제2항에 있어서, 박막 트랜지스터의 드레인 배선층을 형성하는 공정은 각 드레인 패드마다 RIE 방법으로 비아-홀(via hole)공정을 실시하여 공도(via)(25)가 폴리이미드 기판(1)을 관통하여 아랫면에 도달케 한 후 무전해 도금으로 상기 공도(25)를 채우되, 상기 공도(25)를 채우는 물질로 구리를 사용하며, 상기 공도(25)의 지름은 25~50 μ m이고, 상기 폴리이미드 기판(1)의 아랫면에는 인접하는 박막 트랜지스터가 상호 연결되도록 드레인 버스 배선을 형성하되, 배선물질로 Al을 사용하고, Al두께는 3000~5000Å인 것을 특징으로 하는 대형 박막 트랜지스터의 액정 디스플레이 패널의 제조방법.

※ 참고사항: 최초출원 내용에 의하여 공개되는 것임.

도면의 간단한 설명

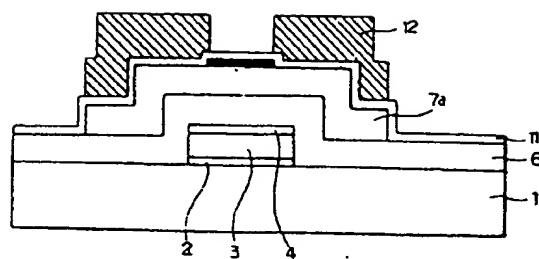
제2도는 본 발명을 실현하기 위한 액정디스플레이 패널 박막 트랜지스터(TFT)의 제조공정을 나타낸 단면도. 제3도는 4개의 단위 박막 트랜지스터 패널로 구성된 본 발명의 대형 액정 디스플레이 패널의 개략도, 제4도는 본 발명의 게이트 배선 연결도, 제5도는 본 발명의 드레인 배선 연결도.

제 2 도

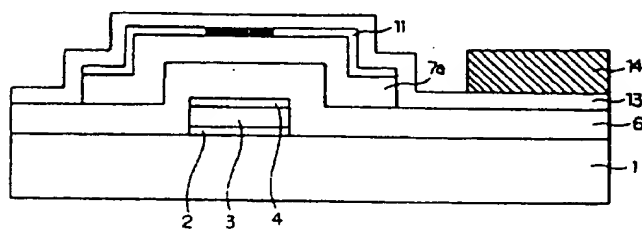


Х 2 5

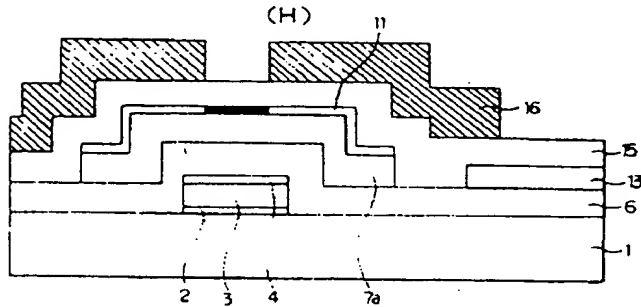
(F)



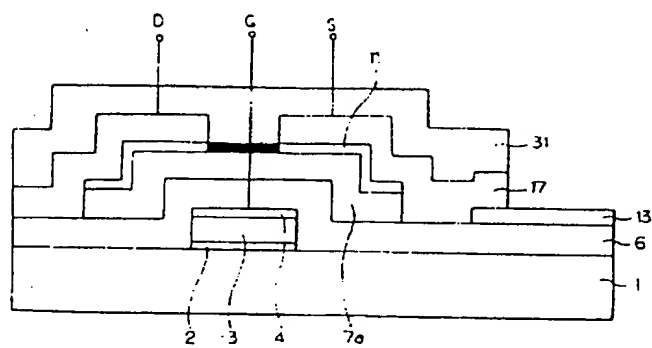
(G)



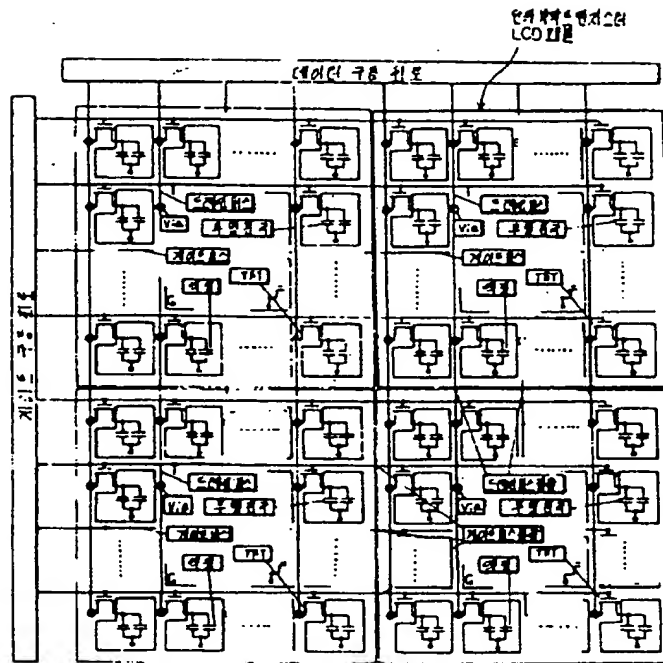
(H)



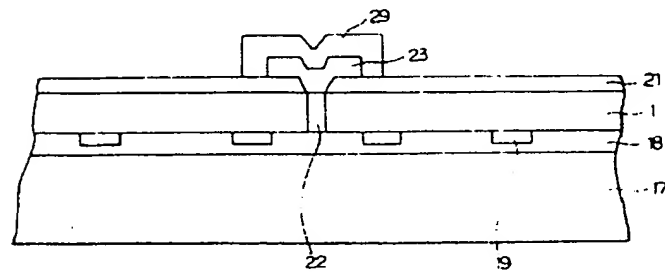
(1)



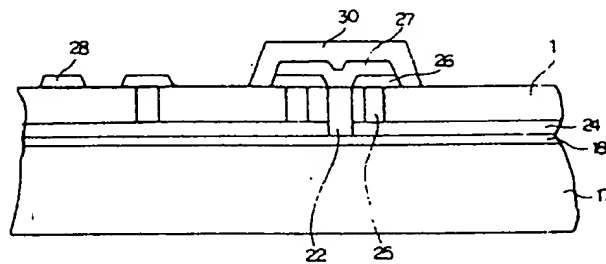
제 3 도



제 4 도



제 5 도



대한민국특허청(KR)

특허공보(B₁)
PATENT PUBLICATION

제 3508 호

Int. Cl.
G 02 F 1 136

공고일자 1994. 1. 7

출원일자 1991. 6. 25

공고번호 94- 143

출원번호 91-10538

심사관 조 형 석

발명자 김 동 구 대전직할시 유성구 도룡동 383-3 우성아파트 101동 301호
박 경 룡 대전직할시 대덕구 중리동 440-8
박 신 중 대전직할시 중구 오류동 삼성아파트 11동 12층 5호
박 칠 순 대전직할시 유성구 도룡동 383-3 우성아파트 102동 203호
박 형 두 대전직할시 서구 도마2동 211 경남아파트 108동 601호

출원인 재단법인 한국전자통신연구소 소장 경 상 현
대전직할시 유성구 가정동 161번지

(전 8 면)

대리인 변리사 김 영 길

대형 박막 트랜지스터(TFT) 액정 디스플레이 패널(LCD panel)의 제조방법

도면의 간단한 설명

제 1 도는 폴리이미드 지지대(polyimide-fixture)의 단면도.

제 2 도는 본 발명을 실현하기 위한 액정 디스플레이 패널 박막 트랜지스터(TFT)의 제조공정을 나타낸 단면도.

제 3 도는 4개의 단위 박막 트랜지스터 패널로 구성된 본 발명의 대형 액정 디스플레이 패널의 개략도.

제 4 도는 본 발명의 게이트 배선 연결도.

제 5 도는 본 발명의 드레인 배선 연결도.

* 도면의 주요 부분에 대한 부호의 설명

1: 폴리이미드 기관, 2, 4: 금속 크롬, 3: 금속 구리, 6: 게이트 절연층(비정질 질화규소막), 7: 반도체층(비정질 실리콘), 8: 에칭스토퍼(etching stopper), 11: n⁺층, 13: 투명전극(ITO), 15: 금속 Al, 17: 유리판, 5, 9, 10, 12, 14, 16: 포토레지스트, 18: 접촉재, 19, 24: 드레인 버스선, 22: 폴리이미드(polyimide), 리판, 21, 28: 게이트 버스선, 23: 게이트 버스접합, 25: 드레인 공도(via), 26: 드레인 패드, 27: 드레인 버스접합, 29, 30, 31: 표면안정화(passivation) 막, 32: 테프론 0링, 33: 폴리이미드(Polyimide) 지지대

발명의 상세한 설명

본 발명은 대형 박막 트랜지스터 액정 디스플레이 패널(Liquid Crystal Display Panel)의 제조방법에 관한 것으로, 특히 5~15인치(inch)의 폴리이미드(polyimide) 기관 상하면을 이용하여 박막 트랜지스터(Thin Film Transistor: TFT) 어레이(ARRAY)를 형성하여 단위 액정 디스플레이 패널을 제조하고 이들을 행렬(matrix)로 접합시킴으로써 단위 액정 디스플레이 패널의 수율을 유지하면서 20~60인치의 대형 박막 트랜지스터 액정 디스플레이 패널을 제조하는 방법에 관한 것이다.

통상의 액정 디스플레이 패널의 제조방법은 단일 유리기관상에 반도체 제조공정을 이용하여 박막 트랜지

스터 소자공정과 수직인 방향으로 게이트와 드레인 버스선의 배선공정을 수행하여 인버티드-스테그드(inverted-staggered) 구조의 박막 트랜지스터가 어레이 형태로 상호 전기적으로 연결되게 한다.

통상의 대형 박막 트랜지스터 액정 디스플레이 패널의 금속막, 반도체층, 절연층 등을 형성하는 단위공정은 수천 μm 의 미세패턴을 형성하는 공정이다.

따라서 게이트 전극 및 게이트 배선으로 Al을 사용할 경우 힐록(hillock)등의 결함에 의해 게이트 절연막이나 배선 드차부의 배선간에 단락으로 인한 불량율이 높아 제품의 수율이 저하되므로 생산비가 높아진다.

이와같은 문제를 해결하기 위하여 게이트 금속으로 Al을 사용하되 상기 게이트 금속을 양극 산화시켜 저저항의 Al₂O₃에 의한 게이트 지연을 단축시키고 양극 산화된 산화알루미늄(Al₂O₃)과 함께 비정질 질화규소(SiN_x)가 2층의 절연연층을 형성하게 함으로써 20~40인치에 대형 박막 트랜지스터 액정 디스플레이 패널의 수율을 어느 정도 개선할 수 있다.

그러나, Al 게이트 금속의 저항이 여전히 높아 40인치 이상의 대형 박막 트랜지스터 패널을 구현할 경우에 게이트의 전과지연 때문에 고선명 화질을 얻는데는 여러가지 문제가 있다.

또한, 40인치 이상의 대형 패널을 하나의 유리기판 상에 구현할 때 수율면에서 여러가지 제약이 따른다.

상기한 것과같이 종래의 박막 트랜지스터 액정 디스플레이 패널의 제조방법은 대형패널을 제조할 경우 박막 트랜지스터의 게이트 버스선의 저항이 커지고 선결함으로 인한 수율이 급격히 저하되는 문제점을 갖고 있다.

본 발명의 목적은 박막 트랜지스터 액정 디스플레이 패널의 게이트 버스선의 고저항에 의한 게이트 전과지연을 줄이고 박막 트랜지스터의 제조공정에서 흔히 발생하는 배선간의 단락을 방지하여 대형 액정 디스플레이의 수율을 높이기 위한 제조방법을 제공하는 것이다.

본 발명은 게이트 금속으로 Cr/Cu/Cr 3층을 형성하여 게이트 버스선의 저항을 작게 하고, 폴리이미드 기판의 상·하면에 각각 박막 트랜지스터 및 게이트 버스선과 드레인 버스선을 형성하고 비아-홀(via hole) 공정에 의해 드레인 패드와 드레인 버스선을 연결함으로써 게이트 절연막이나 배선교차부에서의 배선간의 단락을 최소화한다.

또한, 박막 트랜지스터 패널이 주기적으로 반복되는 어레이 인점을 고려하여 현재 수율이 높은 5~15인치의 폴리이미드 기판상에 트랜지스터 패널을 완성한 후 그것을 단위패널로 하여 유리기판 상에 행·열로 그 단위패널들을 접합시키되, 단위패널 상호간 접합할 가장자리 부분의 드레인과 게이트의 버스선들을 잉크젯(ink jet) 방식에 의해 전기적으로 연결하여 패널크기를 배수적으로 확장시킴으로써 대형화에 따른 수율저하를 방지한다.

이하 첨부된 도면에 의하여 본 발명을 상세히 설명한다.

제1도는 폴리이미드 지지대를 나타낸 것이다.

본 발명은 게이트 금속증착 전에 폴리이미드 필름을 균일하게 지지대(fixture)에 밀착시키기 위하여 테프론으로 만든 단면이 정방형의 0형(22)과 원형의 행렬된 모자모양이며 직경이 5~15인치인 폴리이미드 필름 지지대(33)로 구성된 특수 제작된 지지대를 사용한다. 그 지지대는 금속증착 공정과 아울러 포토레지스터 공정에 사용하는 스피너의 진공척에 장착되고, 포토리소그라피(photolithography) 공정에서는 스테퍼에 장착 가능하도록 설계되었다.

제2도는 본 발명을 실현하기 위한 액정 디스플레이 패널 박막 트랜지스터의 제조공정을 나타낸 것이다.

첨부된 도면에 의하여 본 발명인 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법을 상세히 설명하면 다음과 같다.

제 1 공정

제 2 도의 (A)는 3층의 게이트 금속을 증착한 후 게이트 전극 및 게이트 버스선을 형성하는 공정을 나타낸 것이다. 먼저, 게이트 전극 및 게이트 버스선을 형성하기 위하여 DC 스퍼터링(sputtering) 방법에 의해 폴리이미드 기판(1) 상에 100~200 Å 두께의 제 1 크롬(Cr) 박막(2)을 증착하고 상기 크롬박막(2) 상에 1000~2000 Å 두께의 구리(Cu) 박막(3)을 증착한 후 다시 100~200 Å 두께의 제 2 크롬박막(4)을 증착한다. 이때, 기판으로 폴리이미드 필름을 사용하는 이유는 내열성이 좋고 투명하며, 나중에 행할 단위 박막 트랜지스터들의 집합공정에 유리하기 때문이며 Dupont사의 Kapton 필름 혹은 Uplex 필름을 사용한다.

제 1 크롬박막(2)은 폴리이미드 기판(1)과 구리박막(3)의 접착력을 증대하는 역할을 하며, 구리박막(3)은 게이트 금속으로 Al을 사용하는 경우보다 게이트 필스 전파지연이 1/2로 줄어들게 되어 전파지연을 개선시킨다.

또한, 제 2 크롬박막(4)은 구리박막(3)과 게이트 절연층인 질화규소층과의 반응을 막는 장벽역할을 하여 안정된 계면을 유지시키므로 게이트 금속으로 Al을 사용하는 경우보다 힐록(hillock) 등에 의한 선결함을 줄일 수 있다 하여 패널 제작시 수율을 향상시킨다.

이상과 같이 3층의 게이트 금속의 증착이 완료되면 이어서 포토레지스터(5)를 마스크로 하여 게이트 영역을 정의한 후 게이트 전극을 형성한다.

이때, 크롬박막(2,4)을 식각할 경우에는 부식액으로 $\text{KMnOH} : \text{NaOH} (1 : 1)$ 용액을 사용하고 구리박막(3)을 식각할 경우에는 부식액으로 30% FeCl_3 용액을 사용한다.

제 2 공정

제 2 도의 (B)는 게이트 절연층을 증착하는 공정을 나타낸 것이다.

PECVD 방법에 의해 비정질 질화규소(SiN_x)를 약 3000 Å 두께로 증착하여 게이트 절연층(6)을 형성시킨다.

제 3 공정

제 2 도의 (C)는 반도체층을 형성하는 공정을 나타낸 것으로 비정질 실리콘(amorphous silicon)을 PECVD 방법에 의해 1200~1500 Å의 두께로 증착하여 반도체층(7)을 형성시킨다.

제 4 공정

제 2 도의 (D)는 에칭스토퍼(etching stopper) 형성공정을 나타낸 것이다.

먼저, 차후에 수행될 n⁺층의 식각공정에 있어서 반도체층(7)의 손상을 방지하기 위해 PECVD 방법으로 약 300 Å의 두께로 비정질 질화규소(8)를 증착시킨다. 이어서, 포토레지스터(9)를 마스크로 하여 소오스와 드레인 부분을 건식식각(dry etching)법으로 식각한다. 이때 사용되는 가스제는 $\text{CF}_4 + \text{O}_2$ 이다.

제 5 공정

제 2 도의 (E)는 채널층을 형성하는 공정을 나타낸 것이다. 포토레지스터(10)를 마스크로 하여 반도체층(7)을 건식식각법에 의해 식각하여 채널층(7a)을 형성시킨다. 이때 사용되는 가스제는 $\text{CF}_4 + \text{O}_2$ 이다.

제 6 공정

제 2 도의 (F)는 소오스와 드레인의 오오믹 접촉(ohmic contact)을 위하여 n⁺층을 증착한 후 소오스와 드레인 사이를 식각하는 공정을 나타낸 것이다. 소오스와 드레인의 오오믹 접촉을 위하여 PECVD 방법에 의해 약 300 Å 두께로 n⁺(11)을 증착한다. 이어서 포토레지스터(12)를 마스크로 하여 건식식각법으로 소오스와 드레인 사이를 식각한다. 이때 사용되는 가스제는 $\text{CF}_4 + \text{O}_2$ 이다.

제 7 공정

특허공고 94-143

제 2 도의 (G)는 투명전극(ITO) 형성공정을 나타낸 것이다. 먼저 스퍼터링 방법으로 1500~2000 Å의 두께로 ITO를 증착한다. 이어서 포토레지스터(14)를 마스크로 하여 투명전극(13)을 정의한 후 건식식각법을 통하여 투명전극을 형성한다. 이때 사용되는 가스제로는 $\text{CH}_3\text{OH} + \text{HNO}_3$ 이다.

제 8 공정

제 2 도의 (H)는 소오스 전극과 드레인 전극을 형성하는 공정을 나타낸 것이다. 스퍼터링 방법으로 Al 박막(15)을 3000~5000 Å의 두께로 증착한다. 이어서, 포토레지스터(16)를 마스크로 하여 소오스 전극과 드레인 전극을 정의한 후 식각한다. 이때 사용되는 부식액은 $\text{H}_3\text{PO}_4 - \text{HNO}_3$ 용액이다.

제 9 공정

박막 트랜지스터의 각 드레인 패드(제 5 도의 2G)마다 RIE 방법으로 비아-홀(via hole) 공정을 실시하여 공도(via 제 5 도의 25)가 폴리이미드 기판(1)을 관통하여 아래면에 도달되도록 한 후, 무전해 도금법으로 공도를 채우고 폴리이미드 기판(1)의 아랫면에는 인접한 박막 트랜지스터가 상호 연결되도록 3000~5000 Å 두께의 Al로 드레인 버스 배선(제 5 도의 24)을 정의한다. 이때, 공도의 지름은 25~50 μm이고 그 공도를 채우는 물질로 구리를 사용한다.

제 10 공정

제 2 도의 (I)에 나타난 바와같이 표면안정화(passivation)를 위하여 PECVD 방법에 의해 비정질 질화규소를 약 5700 Å의 두께로 증착하여 표면안정화막(31)을 형성하여 박막 트랜지스터를 완성한다.

제 11 공정

상기 표면안정화 공정이 완료되면 트랜지스터 패널의 정렬을 위해 원하는 단위패널의 크기로 자른다. 제 3 도는 상기 공정에서 완성된 5~15인치의 단위 액정 디스플레이 패널 4개를 행렬로 정렬하여 고정하고 각자의 게이트와 드레인 버스선들을 잉크젯(ink jet) 방식에 의해 전기적으로 연결을 함으로써 배수적으로 확장시킨 10~30인치의 박막 트랜지스터 액정 디스플레이 패널의 실시예에 대한 개략도를 나타낸 것이다.

단위 패널을 행렬로 4×4개를 접합하면 20~60인치의 대형 박막 트랜지스터 액정 디스플레이 패널을 제조할 수 있다.

제 12 공정

제 4 도는 유리기판(17)상에 단위 패널을 정렬할 후 에폭시(epoxy)(18)로 고정하고, 접합하는 공정을 나타낸 것이다. 이때 패널 사이의 빈 공간(22)에 잉크젯(ink jet) 방식으로 마스크 없이 폴리이미드를 선풍 10~50 μm로 채움으로서 평탄화 한다.

제 13 공정

게이트 버스선(21) 간의 배선공정으로 단위패널 상호간 접속할 가장자리 부분의 표면안정화막을 제거하여 게이트 버스선이 노출되게 한 후 잉크젯 방법으로 각 게이트 버스선을 연결한다. 이때 배선금속은 구리이며 배선편은 10~30 μm로 한다. 배선이 완료된 후 선간 연결이 신뢰성을 위해 잉크젯 방법으로 폴리이미드를 사용하여 표면안정화막(29)을 도포한다. 이때 배선편은 20~60 μm이다.

제 14 공정

제 5 도는 드레인 버스선(24) 간의 배선공정을 나타낸 것으로 단위 패널의 접속할 가장자리 부분의 표면안정화막을 제거하여 드레인 버스선을 노출시킨 후 잉크젯 방법으로 드레인 버스선을 연결한다. 이때 공정 조건을 상기 게이트 버스선 간의 배선공정과 동일하다.

상기한 바와같이 본 발명은 투명한 폴리이미드 기판 양면을 이용하여 박막 트랜지스터 패널을 구현하고 폴리이미드 기판 아랫면은 비아-홀(via hole) 방법에 의하여 각 드레인 패드와 연결된 드레인 버스선을 형

상하고, 상면에 게이트 버스선을 형성시킴으로써 종래의 액정 디스플레이 패널에서 발생하는 전기적 단락의 문제를 해결할 수 있으며, 3층으로 게이트 금속을 형성함으로써 게이트 전파지연을 최소화하며, 수율이 높은 5~15인치 박막 트랜지스터 패널을 단위패널로 하여 유리기관 상에 행렬로 정렬 고정시킨 후 단위패널 사이의 가장자리 부분의 드레인과 게이트 버스선들을 잉크젯 방식으로 전기적으로 연결함으로써 소형(5~15인치) 패널의 수율을 유지하면서 대형(20~60인치) 액정 디스플레이 패널을 제조할 수 있다.

㉔특허청구의 범위

1. 폴리이미드 지지대(33) 상에 단위 박막 트랜지스터 패널을 제조하는 공정과, 유리기관(17) 상에 단위 박막 트랜지스터 패널들을 행렬로 정렬 고정후 접합되는 상기 단위 박막 트랜지스터 패널들의 가장자리 부분의 드레인 버스선들과 게이트 버스선들 끼리 잉크젯(link jet) 방법에 의해 전기적 연결을 하여 접합시키는 공정을 포함하는 것을 특징으로 하는 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

2. 제 1 항에 있어서, 단위 박막 트랜지스터 패널을 제조하는 공정은 폴리이미드 기관(1) 상에 3층(2, 3, 4)의 게이트 금속을 증착한 후 게이트 전극 및 게이트 버스선을 형성하는 제 1 공정과, 게이트 절연층(6)을 증착하는 제 2 공정과, 반도체층(7)을 형성하는 제 3 공정과, 상기 반도체층(7)의 손상을 방지하기 위해 에칭스토퍼(etching stopper)를 형성하는 제 4 공정과 채널층(7a)을 형성하는 제 5 공정과, 소오스와 드레인의 오오믹접촉(ohmic contact)을 위하여 n⁺층을 증착한 후 상기 소오스와 드레인 사이를 식각하는 제 6 공정과, 투명전극(ITO)을 형성하는 제 7 공정과, 소오스 전극과 드레인 전극을 형성하는 제 8 공정과, 박막 트랜지스터의 드레인 버스선을 형성하는 제 9 공정과, PECVD 방법으로 표면안정화막(31)을 형성하는 제 10 공정으로 구성됨을 특징으로 하는 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

3. 제 1 항에 있어서, 단위 박막 트랜지스터의 패널들을 대형 박막 트랜지스터 액정 디스플레이 패널으로 접합시키는 공정은 유리기관(7) 상에 상기 단위 박막 트랜지스터 패널들을 정렬한 후 에폭시(epoxy)로 고정하고 잉크젯 방법으로 마스크 없이 폴리이미드를 선폭 10~50 μ m로 채움으로써 평탄화시키는 것이 특징인 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

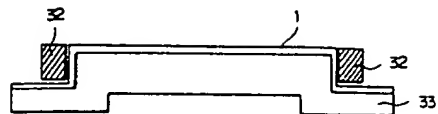
4. 제 1 항에 있어서, 행렬 방향으로 배열된 단위 박막 트랜지스터 패널들의 게이트 버스선들과 드레인 버스선들을 잉크젯 방법에 의해 전기적으로 연결하는 공정은 배선물질로 구리(Cu)를 사용하고 배선폭이 10~30 μ m인 것이 특징인 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

5. 제 1 항에 있어서, 상기 연결된 드레인 버스선들과 게이트 버스선들의 신뢰성을 향상시키기 위해 표면 안정화막(29)은 폴리이미드를 사용하고 배선폭이 20~60 μ m인 것을 특징으로 하는 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

6. 제 2 항에 있어서, 3층의 게이트 금속은 제 1 크롬박막(2)과 구리박막(3) 및 제 2 크롬박막(4)으로 구성되되, 상기 제 1 크롬박막(2)의 두께는 100~200 Å이고, 상기 구리박막(3)의 두께는 1000~2000 Å이고, 상기 제 2 크롬박막(4)의 두께는 100~200 Å인 것을 특징으로 하는 대형 박막 트랜지스터 액정 디스플레이 패널의 제조방법.

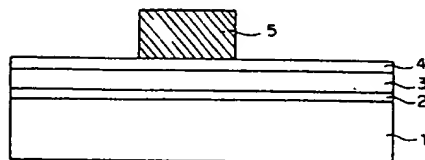
7. 제 2 항에 있어서, 박막 트랜지스터의 드레인 버스선을 형성하는 공정은 각 드레인 패드마다 RIE 방법으로 비아-홀(via hole) 공정을 실시하여 공도(via)(25)가 폴리이미드 기관(1)을 관통하여 아랫면에 도달케 한 후 무전해 도금으로 상기 공도(25)를 채우되, 상기 공도(25)를 채우는 물질로 구리를 사용하며, 상기 공도(25)의 지름은 25~50 μ m이고, 상기 폴리이미드 기관(1)의 아랫면에는 인접하는 박막 트랜지스터가 상호 연결되도록 드레인 버스 배선을 형성하되, 배선물질로 Al을 사용하고, Al 두께는 3000~5000 Å인 것을 특징으로 하는 대형 박막 트랜지스터의 액정 디스플레이 패널의 제조방법.

제 1 도

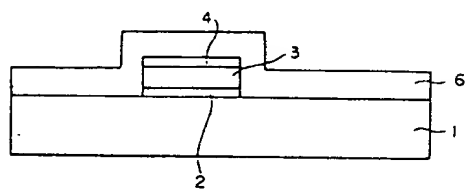


제 2 도

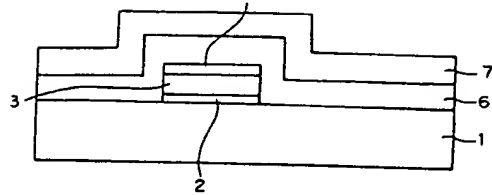
(A)



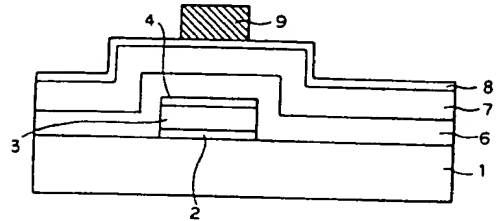
(B)



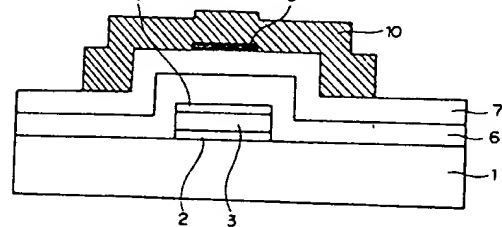
(C)



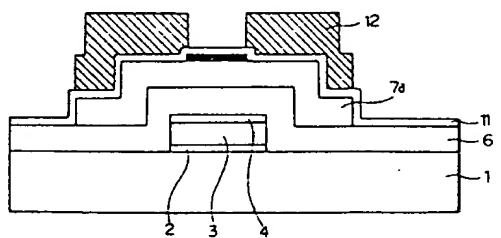
(D)



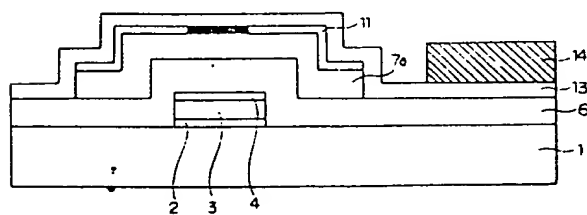
(E)

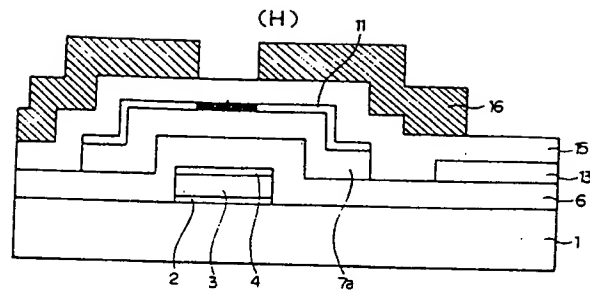


(F)

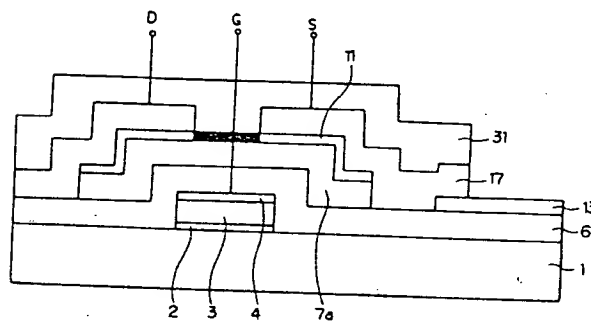


(G)

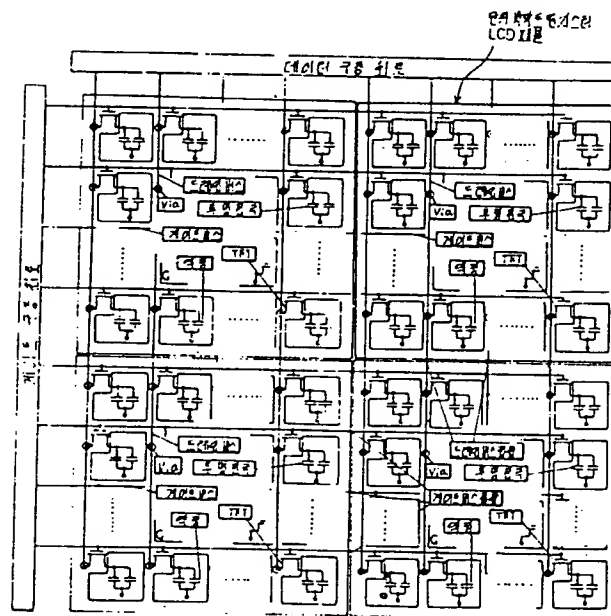




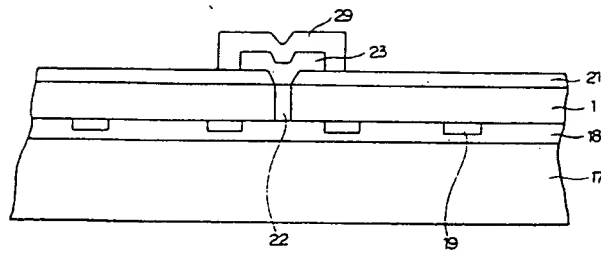
(I)



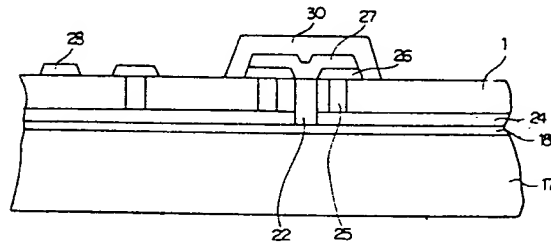
제 3 도



제 4 도



제 5 도



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)